



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07044127 A**

(43) Date of publication of application: 14 . 02 . 95

(51) Int. Cl.

**G09G 3/28**

(21) Application number: **05190700**

(22) Date of filing: 02 . 08 . 93

(71) Applicant: **FUJITSU LTD**

(72) Inventor: **NAGAOKA YOSHIMASA**  
**KANAZAWA GIICHI**  
**KISHI TOMOKATSU**

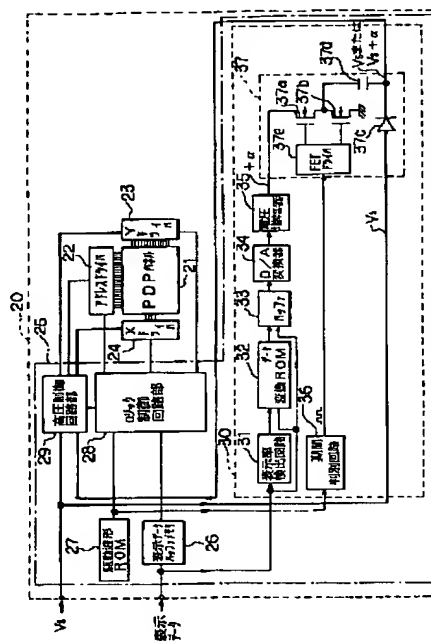
(54) PLASMA DISPLAY PANEL

(57) Abstract:

**PURPOSE:** To obtain accurate display gradations and to improve the display quality of a gradation display by varying the level of maintaining pulses according to a display rate.

**CONSTITUTION:** The value from a high voltage generating circuit 30 to a high voltage control circuit part 29 is different between an address period and a trickle discharge period. An external high voltage VS is supplied as it is in the address period, but in the trickle discharge period, a variable high voltage  $VS+\alpha$  which is adjusted according to the current display rate of the display data is supplied. Therefore, the level of the maintaining pulses VS in the trickle discharge period varies with the display rate. Further, the luminance of a screen varies in proportion to the level of the maintaining pulses VS, so the level of the adjusting voltage  $\alpha$  (data stored in a data converting ROM 32) is optimized to display a high-gradation display part and a low-gradation display part with correct lightness even in case of, for example, a 256-gradation or more gradation display.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-44127

(43)公開日 平成7年(1995)2月14日

(51) Int.Cl.<sup>6</sup>

**G O 9 G 3/28**

識別記号

片内整理番号

**B 9378-5G**

FI

## 技術表示箇所

審査請求 未請求 請求項の数1 OL (全 9 頁)

(21)出願番号 特願平5-190700

(22)出願日 平成5年(1993)8月2日

(71)出願人 000005223

**富士通株式会社**

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 長岡 慶真

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 金澤 義一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 岸 智勝

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

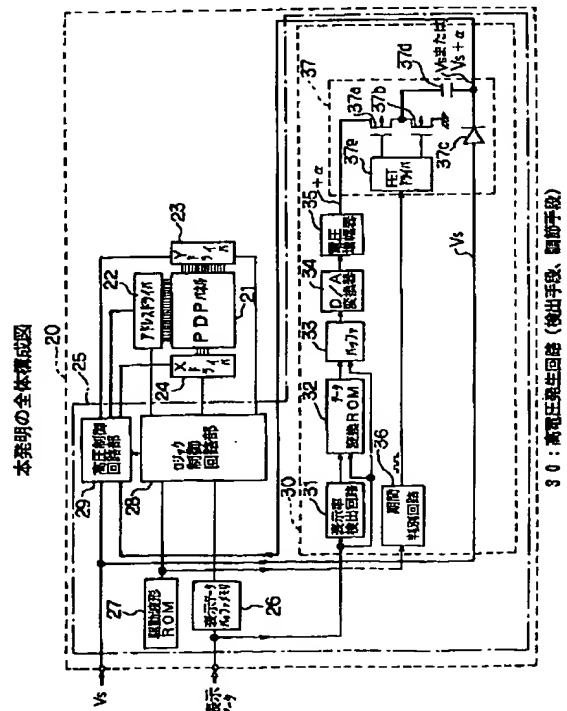
(74)代理人 弁理士 有我 軍一郎

(54) 【発明の名称】 プラズマ・ディスプレイパネル

(57) 【要約】

【目的】表示率に応じて維持パルスの大きさを変化させることにより、256階調若しくはそれ以上の階調表示における表示品質の向上を図る。

【構成】 1画面を構成する全表示セルのうちの点灯セルと消灯セルの割合で表される表示率を検出する検出手段と、該表示率に応じてX電極とY電極間に与える電位差を調節する調節手段と、を備えたことを特徴とする。



## 【特許請求の範囲】

【請求項1】 1つのフレームを第1から第NまでのN個のサブフレームに時間的に分割し、

第1のサブフレームの維持放電期間の長さに対して、第2のサブフレームの維持放電期間の長さを $2^1$ 倍、第3のサブフレームの維持放電期間の長さを $2^2$ 倍、……、第Nのサブフレームの維持放電期間の長さを $2^{N-1}$ 倍に設定し、

これら第1から第NまでのN個のサブフレームを表示データの階調に応じて選択し得るように構成すると共に、選択サブフレームの維持放電期間には、X電極とY電極間に電位差を与えて両電極間に書き込みデータ維持のための放電現象を生じさせるプラズマ・ディスプレイパネルにおいて、

1画面を構成する全表示セルのうちの点灯セルと消灯セルの割合で表される表示率を検出する検出手段と、該表示率に応じて前記X電極とY電極間に与える電位差を調節する調節手段と、を備えたことを特徴とするプラズマ・ディスプレイパネル。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、プラズマ・ディスプレイパネル (Plasma Display Panel : 以下「PDP」と略す)、特に、1駆動サイクルをアドレス期間と維持放電期間に分離して駆動されるAC (交流) 型のプラズマ・ディスプレイパネルの改良技術に関する。

【0002】 PDPは、奥行きが少なく、しかも大画面を実現できるため、コンピュータやテレビジョン等の表示装置に利用されるが、例えば、ハイビジョンのような高精細表示に利用するには、256階調程度若しくはそれ以上の高い階調性を有していることが求められる。

## 【0003】

【従来の技術】 図5はAC型PDPの概略パネル平面図、図6は1つの表示ドット (放電セルとも言う) の概略断面図である。このPDPはいわゆる3電極・面放電型の構成を有している。1、2は微細な間隙をもって積層された2枚のガラス基板である。背面のガラス基板1には、画面の横方向に敷設された表示ライン毎の電極 $Y_i$  (Y電極とも言う;  $i$ は $1 \sim n$ ) と、この電極 $Y_i$ に平行して敷設された全表示ラインに共通の電極X (X電極とも言う) とが誘電体層3に包まれて設けられており、誘電体層3の表面には保護膜としてMgO (酸化マグネシウム) 膜4が被着されている。また、前面のガラス基板2には、電極 $Y_j$  (及び電極X) に交差する方向 (すなわち画面の縦方向) の電極 $A_j$  (アドレス電極とも言う;  $j$ は $1 \sim m$ ) が設けられ、さらに、この電極 $A_j$ の下面に被着された蛍光体5が壁 (障壁) 6で仕切られている。壁6で区画された空間 (以下「放電空間」) 7が1つの表示ドット (表示セル) を形成し、隣接する3つのドットの蛍光体 (それぞれが赤、緑又は青

の発光特性をもつ) の光合成でカラー表示が行われる。電極 $Y_i$ や電極X又は電極 $A_j$ 間の電位差をコントロールすることにより、放電空間7の内部で各種の放電現象、すなわち選択放電 (アドレス放電とも言う) 8や維持放電9を自由に発生させることができる。

【0004】 図7は駆動系を含むPDPの概略全体構成図である。10は図5及び図6の構成を有するパネル部、11は外部からの供給信号 (表示データDATA、ドットクロックCLOCK、垂直同期信号VSYNC及び水平同期信号HSYNC等) や電源電圧に基づいて、表示に必要な各種の内部信号や内部電源電圧を生成する制御回路、12は $A_1$ から $A_m$ までのアドレス電極を駆動するアドレスドライバ、13は $Y_1$ から $Y_n$ までのY電極を駆動するYドライバ、14はX電極を駆動するXドライバである。

【0005】 AC型PDPは、2本の維持電極 (Y電極とX電極) に、交互にパルス状の電圧波形を印加することで放電を持続し、発光表示を行うものである。一回の放電はパルス印加の直後、 $1 \mu s$ から数 $\mu s$ 程度で終了するが、放電によって発生した正電荷であるイオンは、負の電圧が印加されている電極上の誘電体層3の表面に蓄積され、同様に負電荷である電子は、正の電圧が印加されている電極上の誘電体層3の表面に蓄積される。

【0006】 従って、初めに高電圧のパルス (以下「書き込みパルス $V_w$ 」) と言う) で放電させ、壁電荷を生成した後、極性の異なる前回よりも低い電圧のパルス (以下「維持パルスまたは維持放電パルス $V_s$ 」) と言う) を印加すると、前に蓄積された壁電荷に新たな壁電荷が重畳され、放電空間に対する電圧が大きくなって、放電電圧のしきい値を越えて放電を開始する。

【0007】 すなわち、一度書き込み放電を行って壁電荷を生成したセルは、その後、維持パルスを交互に逆極性で印加することで、放電を持続するという特徴があり、このことをメモリ効果、またはメモリ機能と呼んでいる。一般に、AC型PDPは、このメモリ効果を利用して表示を行うものである。AC型PDPには、2本の電極で選択放電 (アドレス放電) と維持放電を行う2電極型と、第3の電極を加えてアドレス放電を行う3電極型とがあるが、多階調表示を行うカラーPDPでは、蛍光体の寿命低下を回避する目的で一般に3電極構造が用いられる。カラーPDPでは、放電によって発生する紫外線を利用して表示セル内の蛍光体を励起するが、この蛍光体は、放電によって同時に発生するイオンの衝撃に弱いという欠点がある。2電極型では蛍光体がイオンに直接当たるような構造になっているため、蛍光体の寿命が短い。

【0008】 図8は図5及び図6に示すPDPの駆動波形図であり、いわゆる「アドレス/維持放電期間分離型・自己消去アドレス方式」における1サブフレーム (サブフィールドとも言う) 期間の波形である。この駆動方

10

20

30

40

50

法では、1サブフレーム期間は、全面書き込み期間を含むアドレス期間と維持放電期間（サスティン期間とも言う）とに分離される。以下、このような期間分離型の駆動方式を「アドレス／維持放電分離方式」と言う。

#### 【0009】アドレス期間の動作

この期間では、まず、全てのY電極に0電位（GNDレベル）を与えると同時に、X電極にパルス状の高電圧（書き込みパルス $V_w$ ）を与えて、全セルに放電を起こして表示データをリセットさせた後、Y電極の電位とX電極の電位を同一レベル（ $V_s$ ）に揃えて全セルに維持放電を行わせる。

【0010】次いで、表示データに応じたセルのON/OFFを行うために、線順次でアドレス放電を行わせる。まず、Y電極にGNDレベルのアドレスパルス印加すると同時に、維持放電を起こさないセル（すなわち非点灯セル）に対応するアドレス電極に、電圧 $V_a$ のアドレスパルス印加する。これにより、非点灯セルの自己消去放電が行われ、選択表示ラインの書き込み（アドレス）が実行される。

【0011】以下、他の表示ラインについても同様の動作を順次に行い、全表示ラインに新たな表示データの書き込みを行う。

#### 維持放電期間の動作

この期間では、Y電極とX電極に所定の周期で交互に維持パルス（サスティンパルスとも言う） $V_s$ を印加して、両電極間に維持放電を生じさせる。

【0012】ここで、画面の輝度は、維持放電期間の長短、すなわち維持パルス $V_s$ の回数で決まる。すなわち、維持放電パルス $V_s$ の数を増やせば輝度が上がり、減らせば輝度が下がる。図9は1フレームを4つのサブフレーム $SF_1 \sim SF_4$ に分割した場合の本駆動方式の概念図である。

【0013】全てのサブフレームのアドレス期間の長さ $T_{a1} \sim T_{a4}$ は同一であるが、維持放電期間の長さ $T_{s1} \sim T_{s4}$ は異なっている。第1のサブフレーム $SF_1$ の維持放電期間の長さ $T_{s1}$ をAとすると、第2のサブフレーム $SF_2$ の維持放電期間の長さ $T_{s2}$ は $A \times 2^1$ 倍、第3のサブフレーム $SF_3$ の維持放電期間の長さ $T_{s3}$ は $A \times 2^2$ 倍、第4のサブフレーム $SF_4$ の維持放電期間の長さ $T_{s4}$ は $A \times 2^3$ 倍になっている。すなわち、サブフレームの数をNとすると、第1から第Nまでのサブフレームの維持放電期間の長さ $T_{s1} \sim T_{s4}$ は、 $A \times 2^0$ 、 $A \times 2^1$ 、 $A \times 2^2$ 、……、 $A \times 2^{N-1}$ となる。

【0014】従って、維持放電パルス $V_s$ の周期は全てのサブフレームにおいて同一であるから、各サブフレームの維持放電パルス $V_s$ の数が $2^0$ 倍、 $2^1$ 倍、 $2^2$ 倍、……、 $2^{N-1}$ 倍と順次に多くなり、点灯させるサブフレームを選択することで、簡単に $2^N$ 階調を表示できるようになる。なお、図10は他の「アドレス／維持

放電分離方式」の例であり、いわゆる「アドレス／維持放電分離型・書き込みアドレス方式」と呼ばれる駆動方式である。

【0015】1サブフレームは、上述の駆動方式と同様に、アドレス期間と維持放電期間に分離されるが、アドレス期間の初めに、電圧 $V_e$ の太幅消去パルスを印加して全面消去を行う点で相違する。

#### 【0016】

【発明が解決しようとする課題】ところで、面放電型のPDPでは、パネルの電極抵抗等の影響で同一の維持パルス数でも、図11に示すように、表示率によって輝度に変化するという不具合がある。図11において、縦軸は輝度、横軸は表示率（100%：全セル点灯、0%：全セル消灯）であり、破線は輝度変化のない理想的な特性、実線は各サブフレーム $SF_1 \sim SF_4$ の実際の特性である。点灯セルの数が増える（表示率が大きくなる）につれて輝度が低下している。

【0017】こうした不具合は、単階調表示あるいは16階調程度の階調表示であればそれほど目立つものではなく、実用上問題とはならないが、256階調若しくはそれ以上になると、例えば、画面パターンによっては、高階調表示部分と低階調表示部分の明るさが逆転することがあり、表示品質を大きく損なってしまうという問題点がある。

【目的】そこで、本発明は、表示率に応じて維持パルスの大きさを変化させることにより、256階調若しくはそれ以上の階調表示における表示品質の向上を図ることを目的とする。

#### 【0018】

【課題を解決するための手段】本発明は、上記目的を達成するために、1つのフレームを第1から第NまでのN個のサブフレームに時間的に分割し、第1のサブフレームの維持放電期間の長さに対して、第2のサブフレームの維持放電期間の長さを $2^1$ 倍、第3のサブフレームの維持放電期間の長さを $2^2$ 倍、……、第Nのサブフレームの維持放電期間の長さを $2^{N-1}$ 倍に設定し、これら第1から第NまでのN個のサブフレームを表示データの階調に応じて選択し得るように構成すると共に、選択サブフレームの維持放電期間には、X電極とY電極間に電位差を与えて両電極間に書き込みデータ維持のための放電現象を生じさせるプラズマ・ディスプレイパネルにおいて、1画面を構成する全表示セルのうちの点灯セルと消灯セルの割合で表される表示率を検出する検出手段と、該表示率に応じて前記X電極とY電極間に与える電位差を調節する調節手段と、を備えたことを特徴とする。

#### 【0019】

【作用】上述の「アドレス／維持放電分離方式」における輝度は、維持放電期間中の維持パルスの回数によって決まる。よって、輝度可変の最小単位は、維持パルス1個分の大きさに依存するから、本発明のように、1画面を

構成する全表示セルの表示率に応じてX電極とY電極間の電位差（維持パルスの大きさ）を調節すれば、256階調若しくはそれ以上の階調表示における不本意な階調逆転を回避でき、表示品質の向上を図ることができる。

#### 【0020】

【実施例】以下、本発明の実施例を図面に基づいて説明する。図1～図4は本発明に係るプラズマ・ディスプレイパネルの一実施例を示す図である。まず、構成を説明する。図1において、20はPDPユニットであり、PDPユニット20は、パネル部（構造は図5、図6参照）21、アドレスドライバ22、Yドライバ23、Xドライバ24及び制御回路25を含んで構成される。

【0021】制御回路25は、時分割されたサブフィールド毎の表示を行うために外部からの表示データを一時的に蓄積する表示データバッファメモリ26、表示に必要な各種の基本波形データを記憶する駆動波形ROM

（read only memory）27、各ドライバ22～24に必要な各種信号を生成するロジック制御回路部28、各ドライバ22～24に必要な高電圧パルスを提供する高圧制御回路部29及び当該高電圧パルスのための高電圧電源を発生する高電圧発生回路（検出手段、調節手段）30を備える。

【0022】本実施例のポイントである高電圧発生回路30は、表示データに基づいて全セル中の点灯セルと非点灯セルの割合に相当する表示率を検出する表示率検出回路31と、該表示率を電圧データに変換するデータ変換ROM32と、サブフレーム毎の表示タイミングに合わせるための時間調整バッファ33と、時間調整された電圧データをアナログ電圧に変換するD/A変換器34と、D/A変換器34の出力を一定の増幅率で増幅する電圧増幅器35と、アドレス期間と維持放電期間を判別する期間判別回路36と、電圧出力回路37とを含んで構成される。なお、電圧出力回路37は、Pチャネル型のMOSトランジスタ37a及びNチャネル型のMOSトランジスタ37bを、電圧増幅器35の出力とグランド間に直列に接続すると共に、各MOSトランジスタ37a、37bの接続ノードと高耐圧ダイオード37cのカソード間にコンデンサ37dを挿入し、さらに、期間判別回路36の出力論理に応答して各MOSトランジスタ37a、37bを相補的にオン/オフするFETドライバ37eを備えて構成する。アドレス期間ではNチャネルMOSトランジスタ37bをオンにして外部から供給される高電圧V<sub>s</sub>をそのまま出力する一方、維持放電期間ではPチャネルMOSトランジスタ37aをオンにして外部から供給される高電圧V<sub>s</sub>に電圧増幅器35の出力（α）を加算して出力する。

【0023】図2は表示率検出回路31の好ましい構成例であり、R<sub>1</sub>～R<sub>6</sub>、G<sub>1</sub>～G<sub>6</sub>、B<sub>1</sub>～B<sub>6</sub>はそれぞれ6ビット（64階調の場合；256階調では8ビット）構成の表示データ（R：赤、G：緑、B：青）、V

SYNCは垂直同期信号、CLOCKはドットクロックである。38<sub>R1</sub>～38<sub>RS</sub>、39<sub>G1</sub>～39<sub>GS</sub>、40<sub>B1</sub>～

40<sub>BS</sub>は、赤、緑、青の各表示データのビット毎に設けられたカウンタであり、それぞれのカウンタは、1垂直走査期間における表示データの対応ビットの所定論理

（セルを点灯させるための論理；例えばハイ論理）の数をカウントする。全てのカウンタの出力は、ビット毎の加算器41<sub>1</sub>～41<sub>6</sub>で加算され、再下位ビットの加算器41<sub>1</sub>の出力が第1のサブフレームSF<sub>1</sub>の表示率になり、……、最上位ビットの加算器41<sub>6</sub>の出力が第6サブフレームSF<sub>6</sub>の表示率になる。

【0024】次に、作用を説明する。本実施例では、高電圧発生回路30から高圧制御回路部29に供給される高電圧の値がアドレス期間と維持放電期間で異なる。すなわち、図3（a）に示すように、アドレス期間では、外部から供給される高電圧V<sub>s</sub>がそのまま供給されるが、維持放電期間では、そのときの表示データの表示率に応じて調節された可変の高電圧V<sub>s</sub> + αが供給される。

【0025】従って、前述の駆動方式（図8又は図10参照）の維持放電期間における維持パルスV<sub>s</sub>の大きさが表示率に応じて変化することになり、しかも、図3

（b）に示すように、画面の輝度は、ある電圧範囲内において維持パルスV<sub>s</sub>の大きさに比例して変化するから、調整電圧（α）の大きさ（具体的には、データ変換ROM32の格納データ）を適正化することにより、例えば、256階調若しくはそれ以上の多階調表示の場合においても、高階調表示部分と低階調表示部分の明るさを正しく表示できるようになり、表示品質の向上を図ることができる。

【0026】なお、本実施例では、維持放電期間だけに限定して高電圧V<sub>s</sub>の調節を行っているが、その理由は以下のとおりである。画面の輝度を変化させるには、アドレス期間の高電圧V<sub>s</sub>を調節しても可能である。しかし、このアドレス期間におけるV<sub>s</sub>のマージンは、図4（a）に示すように、きわめて狭い範囲でしか与えられないため、V<sub>s</sub>が安定動作領域から外れると非選択セルが点灯したり（領域イ）あるいは選択セルが非点灯になったり（領域ロ）する不具合を招く。これに対し、維持放電期間におけるV<sub>s</sub>のマージンは、図4（b）に示すように、上限電圧V<sub>sup</sub>（全消去画面において全セル中の最初の1セルが放電開始する電圧）から下限電圧V<sub>low</sub>（全点灯画面において全セル中の最初の1セルが消えてしまう電圧）までの間でかなりの余裕があり、表示率に応じてV<sub>s</sub>を変化させても、アドレス期間のように動作上の不都合を招くことはない。

#### 【0027】

【発明の効果】本発明によれば、表示率に応じて維持パルスの大きさを変化させるようにしたので、正確な表示階調を得ることができ、256階調若しくはそれ以上の

10

20

30

40

50

階調表示における表示品質の向上を図ることができる。

【図面の簡単な説明】

【図 1】本発明の全体構成図である。

【図 2】本発明の表示率検出回路の構成図である。

【図 3】 $V_s$  合成出力タイムチャート及び  $V_s$  と輝度の関係を示す図である。

【図 4】維持放電期間の  $V_s$  マージン図及びアドレス期間の  $V_s$  マージン図である。

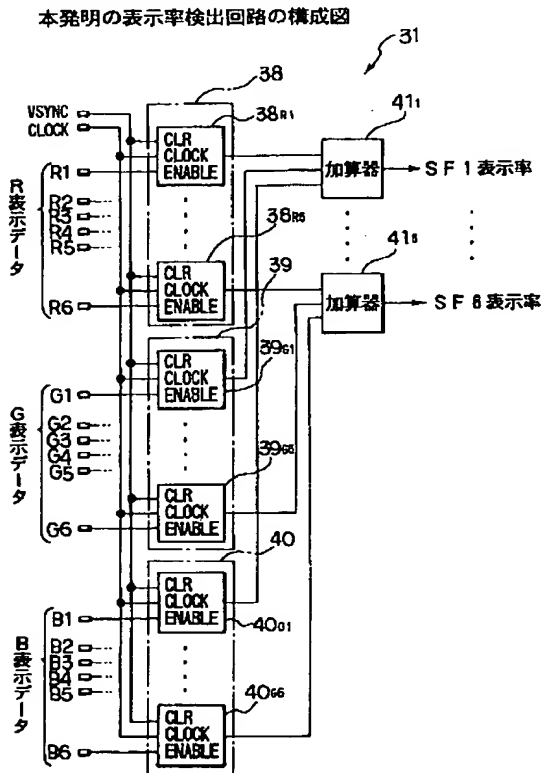
【図 5】代表的な 3 電極・面放電・AC 型 PDP の概略平面図である。

【図 6】図 5 の 1 表示セルの概略断面図である。

【図 7】従来例の概略ブロック図である。

【図 8】アドレス／維持放電分離型・自己消去アドレス＊

【図 2】



\* 方式における駆動波形図である。

【図 9】16 階調表示の場合のタイムチャートである。

【図 10】アドレス／維持放電分離型・書き込みアドレス方式における駆動波形図である。

【図 11】表示率と輝度の関係図である。

【符号の説明】

$A_j$  : アドレス電極

$SF_1 \sim SF_4$  : サブフレーム

X : X 電極

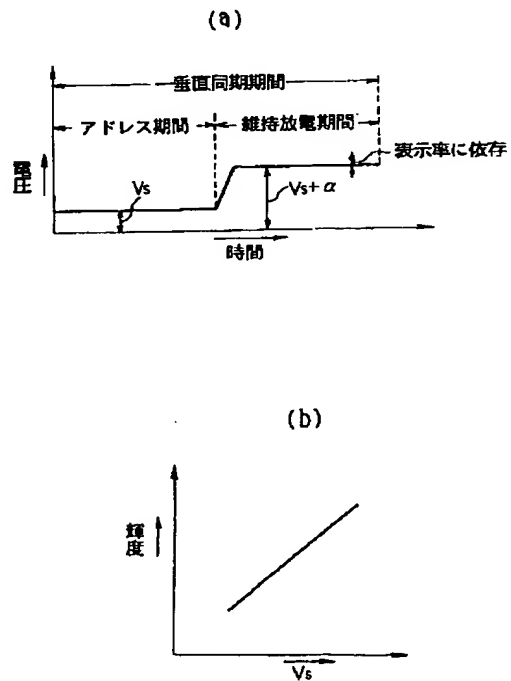
10  $Y_i$  : Y 電極

7 : 放電空間 (表示セル)

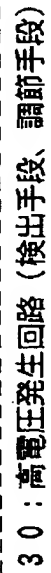
30 : 高電圧発生回路 (検出手段、調節手段)

【図 3】

$V_s$  合成出力タイムチャート及び  $V_s$  と輝度の関係を示す図



# 本発明の全体構成図

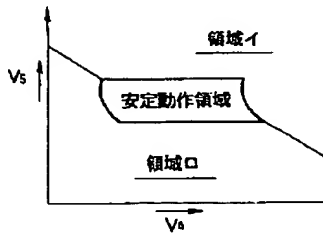


### 30: 高電圧発生回路 (検出手段、調節手段)

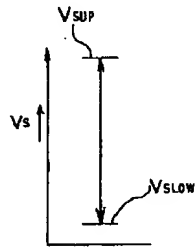
【図 4】

維持放電期間の  $V_s$  マージン図及びアドレス期間の  $V_s$  マージン図

(8)

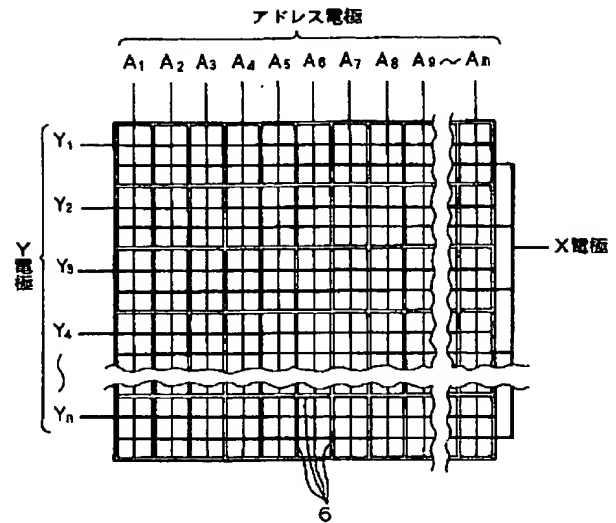


(b)



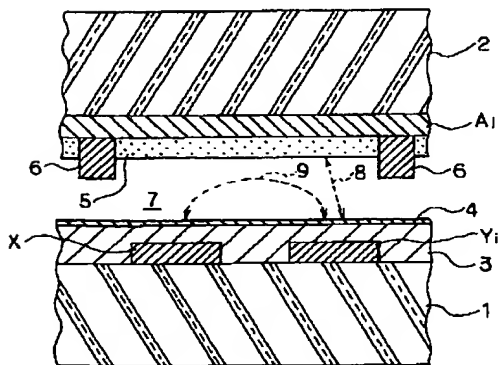
【図 5】

代表的な 3 電極・面放電・AC 型 PDP の概略平面図



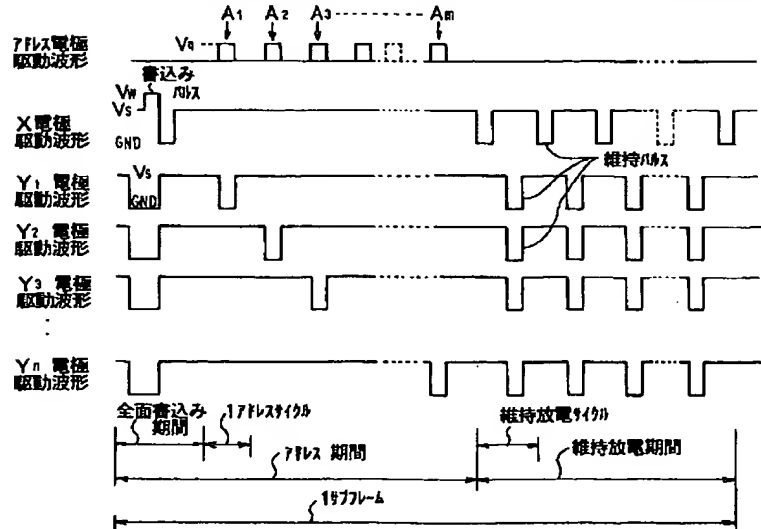
【図 6】

図 5 の 1 表示セルの概略断面図



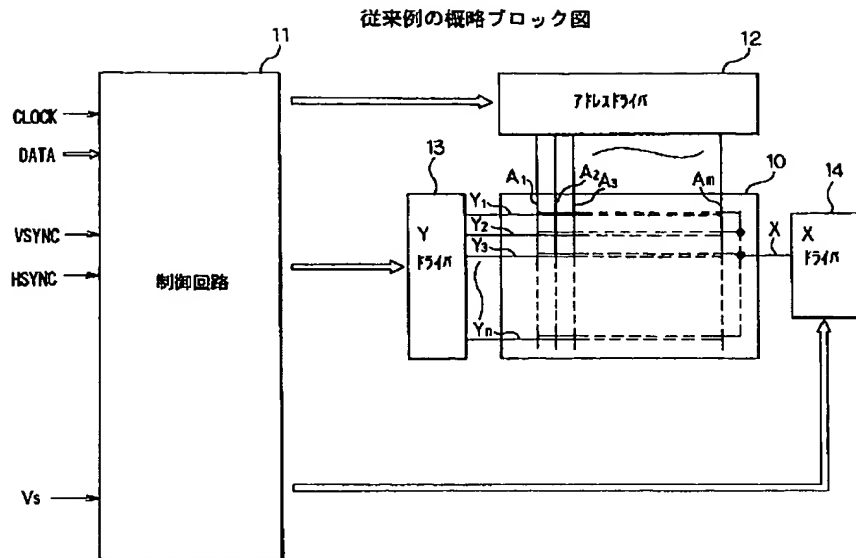
【図 8】

アドレス／維持放電分離型・自己消去アドレス方式における駆動波形図



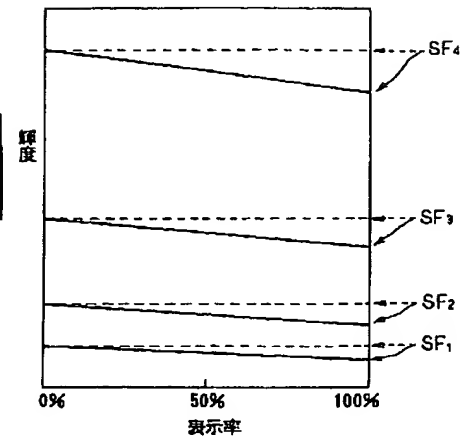


【図 7】



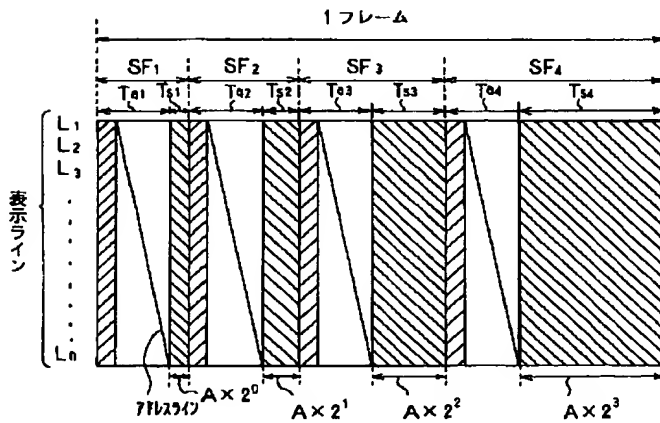
【図 11】

表示率と輝度の関係図



【図 9】

16階調表示の場合のタイムチャート



【図 10】

アドレス／維持放電分断型・書き込みアドレス方式における駆動波形図

